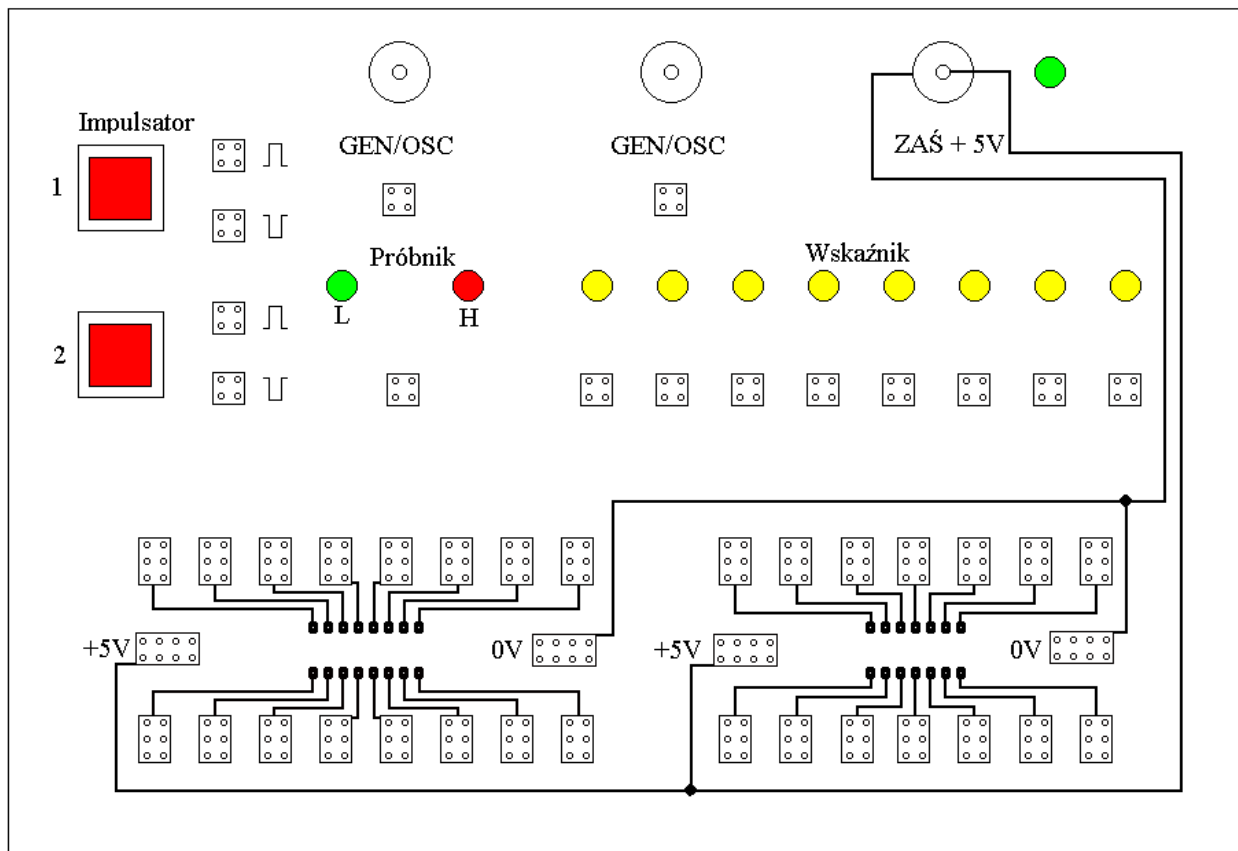
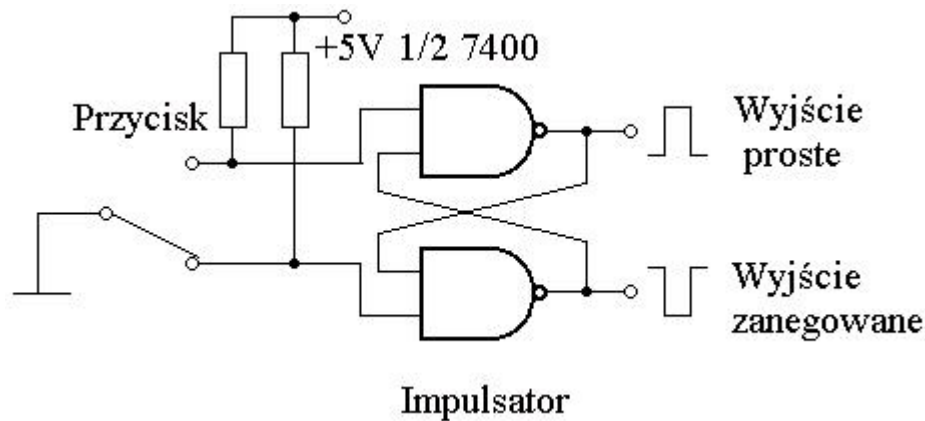


## Płytki UC-1 do badania cyfrowych układów scalonych serii TTL. Opis z praktycznymi uwagami dotyczącymi stosowania.



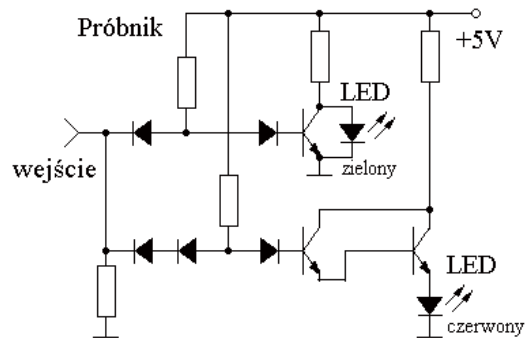
Rys. 1 Ogólny widok płytki UC-1.

Ogólny widok płytki UC-1 pokazuje rys. 1. W górnej części zamontowane są dwa gniazda BNC służące do doprowadzenia sygnału z generatora i odprowadzenia sygnału do oscyloskopu. Trzecie gniazdo służy do doprowadzenia napięcia zasilania +5V typowego dla standardu TTL. W lewej górnej części znajdują się przyciski ręcznych impulsatorów 1 i 2. Są to przyciski posiadające styki przełączające współpracujące z elementarnymi przerzutnikami RS, których oba wejścia proste i zanegowane są wyprowadzone. Oznacza to, że przy naciśnięciu przycisku na wyjściu prostym otrzymujemy wysoki stan napięcia log. 1, a na wyjściu zanegowanym niski stan napięcia log. 0. Jeżeli na wejście bramki TTL podany zostanie wolno zmieniający się sygnał z jednego stanu logicznego w drugi stan logiczny, to w przedziale zabronionego poziomu napięć wejściowych bramka posiadać będzie niezdefiniowany stan wyjścia (pojawiają się drgania). Zastosowanie przerzutników RS w impulsatorach eliminuje drgania styków i daje logiczny sygnał wyjściowy o dużej stromości zboczy. Istnieje zatem możliwość ręcznego zadawania na wejścia układów TTL impulsów zegarowych, wpisu itd. o standardowych zboczach gwarantujących ich poprawną pracę. Schemat ideowy impulsatora pokazany jest na rys 2.



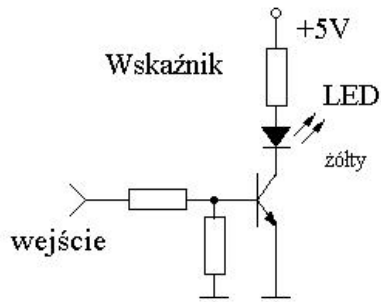
Rys.2 Schemat ideowy impulsatora.

Trójstanowy próbnik logiczny, którego schemat ideowy pokazuje rysunek 3 wyświetla trzy stany logiczne w przybliżeniu odpowiadające standardowym stanom napięć TTL. Napięcie w zakresie 0-0,8V logiczne 0 - świeci dioda zielona, napięcie 2-5V - świeci czerwona dioda. Jeżeli na wejście próbnika nic nie podajemy, to wartość napięcia na nim znajduje się w zabronionym przedziale 0,8-2V i nie świeci wtedy żadna dioda. Opisany próbnik będzie używany do kontroli stanów logicznych wejść i wyjść układów TTL, jak również ich napięć zasilania. Przy czym, najbardziej wiarygodna i ostateczna jest kontrola dokonana bezpośrednio na wyprowadzeniach (nóżkach) układu scalonego, a nie na połączonych z nimi łączach 6 pinowych. Przewód powinien mieć długość zapewniającą dostęp do całego obszaru płytki próbnika.



Rys. 3 Schemat ideowy trójstanowego próbnika stanów logicznych (KABID-ZOPAN).

Do kontroli stanu wyjść układu scalonego służy 8-bitowy wskaźnik. Składa się on z ośmiu niezależnych diod LED koloru żółtego i przyporządkowanej każdej diodzie wejściowego łącza 4 pinowego. Dioda wskaźnika świeci, jeżeli na jej wejście podana jest logiczna jedynka. Schemat ideowy reprezentujący jeden bit wskaźnika pokazuje rys.4.



Rys. 4 Schemat ideowy pojedynczego elementu wskaźnika.

W dolnej części płytki UC-1 wbudowane są gniazda 16 pinowe oraz 14 pinowe dla badanych układów scalonych. Każdemu wyprowadzeniu (nóżce) układu scalonego odpowiada połączone z nim 6 pinowe łącze. Oprócz tego w obrębie tych gniazd wbudowane są po dwa 8 pinowe łącza, do których na stałe doprowadzone są oba bieguny napięcia zasilającego 0 V po prawej stronie łącza i +5 V po lewej stronie łącza. Ilość pinów łącza przyporządkowanego danemu wyprowadzeniu (nóżce) układu scalonego oraz wejściom próbnika i wskaźnika stanów logicznych decyduje tylko o ilości przewodów, jakie można jednocześnie włączyć do danego łącza, ponieważ wszystkie piny mają ten sam potencjał, czyli są zwarte. Do połączeń należy używać cienkiego izolowanego przewodu sztywnego tzw. Kenar z odizolowanymi na długości około 5mm końcami. Wkładane do gniazd układy scalone powinny mieć nóżki proste. Układy należy wyjmować z gniazda za pomocą śrubowkręta na przemian podważając je z obu końców obudowy. Tworzenie połączeń należy zacząć od zasilania układu scalonego napięciem o odpowiedniej polaryzacji, pamiętając, że w systemie TTL poszczególne układy są zasilane na różnych nóżkach, w zależności od ich rodzaju. Połączenia pomiędzy wyjściami układów scalonych, a wejściami dokonujemy bezpośrednio przewodem. Logiczne "0" można zadawać na wejście układu poprzez bezpośrednie połączenie wejścia z 0V (masą) napięcia zasilania lub przez opornik o rezystancji  $R < 400 \Omega$ . Logiczną "1" zadajemy poprzez połączenie z +5V przez opór  $1k\Omega$ . Połączenie wejścia układu bezpośrednio do +5V jest ryzykowne i powoduje wzrost prądu bramki przy przełączaniu. O ile zwarcie wyjścia układu TTL znajdującego się w stanie "1" do masy pozwala układowi przeżyć dzięki oporowi  $130 \Omega$  w kolektorze tranzystora wyjściowego ograniczającego prąd, to zwarcie wyjścia znajdującego się w stanie "0" do +5V powoduje zniszczenie układu.